

Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: November 5, 2002

Application Number: Japanese Patent Application  
No.2002-320912

[ST.10/C]: [JP2002-320912]

Applicant(s): RICOH COMPANY, LTD.

September 3, 2003

Commissioner,  
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3071855

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 1 月    5 日  
Date of Application:

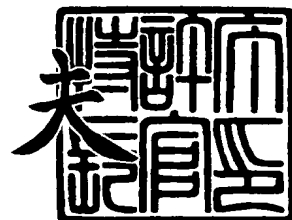
出 願 番 号                      特 願 2 0 0 2 - 3 2 0 9 1 2  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 2 0 9 1 2 ]

出      願      人                      株 式 会 社 リ コ ー  
Applicant(s):

2 0 0 3 年    9 月    3 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 7 1 8 5 5

【書類名】 特許願

【整理番号】 186254

【提出日】 平成14年11月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/118

【発明の名称】 レイアウト生成ツールおよび半導体集積回路

【請求項の数】 12

【発明者】

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

    【氏名】 市宮 淳次

【特許出願人】

    【識別番号】 000006747

    【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

    【氏名又は名称】 株式会社リコー

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 9808860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レイアウト生成ツールおよび半導体集積回路

【特許請求の範囲】

【請求項 1】 半導体集積回路のレイアウト設計に用いられるセルレイアウトライブラリにおいて、

機能を備えるセル以外に、セル間を埋める役割をするフィラーセルを少なくとも 2 種以上含み、そのフィラーセルの少なくとも 1 種は、上層メタルと、前記上層メタルと接続関係を持たない、Power RailおよびGround Railからなる下層メタルを備え、また、別のフィラーセルの少なくとも一種は、上層メタルと、Power RailおよびGround Railからなる下層メタルを備え、その上層メタルと下層メタルが同電位に短絡接続された構造を備え、

上記レイアウトライブラリの情報に基づきセルを配置すると共に、信号配線から一定の距離を隔てた領域で、上記レイアウトライブラリの情報に基づき、複数種あるフィラーセルを選択的に配置することにより形成されることを特徴とするレイアウト設計手法。

【請求項 2】 請求項 1 記載の、少なくとも 1 種のフィラーセルを、スタンダードセル領域やマクロセルの空き領域であるチャンネル領域に配置し、電源構造を構築するレイアウト設計手法。

【請求項 3】 請求項 1 もしくは 2 記載のフィラーセルにおいて、前記フィラーセルの少なくとも一つがバイパスコンデンサを含む事を特徴とするレイアウト設計手法。

【請求項 4】 少なくとも 2 種以上のフィラーセルが、任意の階層のレイヤまでが互いに同一形状を有する請求項 1～3 のいずれかに記載のレイアウト設計手法。

【請求項 5】 上記フィラーセルはその配置対象となる領域において、前記領域で信号配線として使用されないメタル層を主に電源配線に使用するようにしたフィラーセルを選択的に配置する請求項 1～4 のいずれかに記載のレイアウト設計手法。

【請求項 6】 上記各フィラーセル群の少なくとも一つを、機能を有するス

スタンダードセルまたはマクロセルの直上に重複配置する請求項 1～5 のいずれかに記載のレイアウト設計手法。

【請求項 7】 半導体集積回路のレイアウト設計を用いて設計される半導体集積回路において、

機能を備えるセル以外に、セル間を埋める役割をするフィラーセルを少なくとも 2 種以上含み、フィラーセルの少なくとも 1 種は、上層メタルと、前記上層メタルと接続関係を持たない、Power Rail および Ground Rail からなる下層メタルを備え、また、別のフィラーセルの少なくとも一種は、上層メタルと、Power Rail および Ground Rail からなる下層メタルを備え、その上層メタルと下層メタルが同電位に短絡接続された構造を備え、

上記セルレイアウトライブラリの情報に基づきセルを配置すると共に、信号配線から一定の距離を隔てた領域内と領域外の領域にて上記レイアウトライブラリの情報に基づき、複数種あるフィラーセルを選択的に配置することにより形成されることを特徴とする半導体集積回路。

【請求項 8】 請求項 7 に記載の、少なくとも 1 種のフィラーセルを、スタンダードセル領域やマクロセルの周囲の空き領域であるチャンネル領域に配置する事で、電源構造が構築された半導体集積回路。

【請求項 9】 上記フィラーセルはその配置対象となる領域において、前記領域で信号配線として使用されないメタル層を主に電源配線に使用するようにしたフィラーセルを選択的に配置された半導体集積回路。

【請求項 10】 上記各フィラーセル群の少なくとも一つを、機能を有するスタンダードセルまたはマクロセルの直上に重複配置する請求項 7～9 のいずれかに記載の半導体集積回路。

【請求項 11】 請求項 7～10 のいずれかに記載の、少なくとも 1 種のフィラーセルを、スタンダードセル領域やマクロセルの空き領域であるチャンネル領域に配置し、電源構造を構築する半導体集積回路。

【請求項 12】 請求項 7～11 のいずれかに記載のフィラーセルにおいて、前記フィラーセルの少なくとも一つがバイパスコンデンサを含む事を特徴とする半導体集積回路。

**【発明の詳細な説明】****【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、セルのレイアウトにより多層構造の半導体集積回路を形成するレイアウト設計手法およびそのレイアウト設計手法により形成される半導体集積回路設計に関する。

**【 0 0 0 2 】****【従来の技術】**

半導体集積回路のレイアウト設計では、自動配置配線ツールと呼ばれるレイアウト生成ツールが用いられる。これは、インバータやナンド等の基本セルをデータベースに予め登録しておき、そのデータベースから所望の基本セルのデータを読み出して、所定領域に配置、配線することで所望の仕様に適う半導体集積回路を得るものである。

**【 0 0 0 3 】**

図 1 にその自動配置配線ツールの動作フローを示す。順に簡単な説明を行う。ステップ S 2 1 (S 2 1) にて生成するレイアウトの回路情報が記されたネットリストを読み込む。次に、S 2 2 においてデザインサイズの作成等フロアプランを行う。S 2 3 では、S 2 2 で作成したフロアプラン上に、マクロセルライブラリやスタンダードセルライブラリなどから読み出したセル情報に従って、I/Oセル、マクロセルおよびスタンダードセル(これらのセルについては後述する)を所望の場所に配置する。その後、S 2 4 にて、これらのセルに電源を供給する電源配線を行い、マクロセルおよびスタンダードセルとの接続も行う。

**【 0 0 0 4 】**

全電源配線終了後に、S 2 5 にて信号配線を行う。信号配線が終われば、S 2 6 にてDRCエラーの除去・データ変換等の後処理を行なうと、レイアウト生成が完了する。また、各ステップにて必要となる制約は、その都度、ユーザー側で入力が可能である。S 2 3 で使用されるI/Oセル、マクロセルおよびスタンダード(S TD)セルの構造等の情報は、あらかじめ、レイアウトライブラリとしてのデータベースとして準備されており、自動配置配線ツールは、このレイアウトライブラ

りを参照する事により、S23でセル配置を行う。

#### 【0005】

次にレイアウトライブラリについて述べる。図2に機能を有するセル(機能セル)のレイアウト(左図)とその回路図(右図)を示す。左図で示されるようにセル中央付近にトランジスタが配置されており、セルの図中上下に、セル中央のトランジスタに電源供給を行う経路となる、Power Rail(VDDで図示)およびGround Rail(GNDで図示)を備え持つケースが多い。

#### 【0006】

通常、Power RailおよびGround Railは、トランジスタの拡散層に電源を供給するため最下層(層1)のメタル(メタル1と記す)として形成される。図2の機能セルはインバータであるが、それ以外にナンド・ノア等のセルがあり、それぞれの機能セルは、各々異なる電気特性を持っている。これらのセルは、“スタンダードセル”と呼ばれ、これらの機能セルの構造情報を格納したデータベースをスタンダードセルライブラリと呼ぶ。

#### 【0007】

一方、メモリ等のより高い機能を持つセルを“マクロセル”とよび、これらの構造情報はマクロセルライブラリに格納され、I/Oセルの構造情報はI/Oセルライブラリに格納される。それらのライブラリに格納されるセル種は、設計者側で指定でき、構成に特に定義があるものではない。

#### 【0008】

上記のスタンダードセルおよびマクロセルが所定の機能を持つ(機能セル)であるのに対し、図3に示すように、トランジスタのような機能を持たないで、スタンダードセルと同様に層1にPower RailおよびGround Railを備える“フィラーセル”と呼ばれるものがあり、その情報もスタンダードセルライブラリに含まれる。このフィラーセルは、スタンダードセル間に生じるデザインルール違反を防いだり、基板電位を得る、等の目的のためのものであり、従来はスタンダードセル領域中のセル間に配置されていた。

#### 【0009】

図4に従来のチップレイアウトの一般的な例を示す。この図は、前述した図1



の配置配線レイアウトフローのセル配置(S 23)まで終わったところを示している。レイアウト外周には、上記I0セルが配置され、I0セルの内側には、スタンダードセルが集中して配置されるスタンダードセル領域があり、空き領域にはマクロセルが配置される。I0セルの内側にはスタンダードセル領域と、マクロセルの配置されない信号配線および電源配線を行うためのチャンネル領域がある。

#### 【0010】

図4のチップに電源配線などを施したものを図5に示す。先にも述べたように、従来は、スタンダードセル領域中において、スタンダードセル間で生じる隙間にフィラーセルが配置されている。

#### 【0011】

ところで、近年、半導体集積装置は、高速・高機能化がますます望まれている。それに伴い、半導体集積回路の製造プロセスは、さらなる微細化が進む傾向にある。各半導体メーカーは様々な手法を用い、半導体集積回路の性能向上に努めており、以下にその一部の例を示す。

#### 【0012】

電源供給を最適化するため、素子が形成されない空き領域を配線領域として用いている(例えば特許文献1参照)。

#### 【0013】

スタンダードセルの場合にセル領域外で電源線を相互に接続するための領域を必要とした不具合をなくすために、電源線と直交する方向で接続する手段をスタンダードセル内に設けている(例えば特許文献2参照)。

#### 【0014】

上下両縁に電源ラインおよび接地ラインを形成するには、各マクロセルの寸法を共通化しなければならないという課題を解消するために、電源メタルとの接続を担うビアホールとなる部分を各セルに持たせている(例えば特許文献3参照)。

#### 【0015】

スタンダードセル上を上層メタルでシールドすることで、信号配線の影響をなくす(例えば特許文献4)。

#### 【0016】

電流供給能力を高めるために、第 2 の金属層をスタンダードセルの Power Rail として備える(例えば特許文献 4)。

【0 0 1 7】

【特許文献 1】

特開平9-199601号「半導体集積回路」 ([0 0 1 4]~[0 0 1 5]、図 1)

【0 0 1 8】

【特許文献 2】

特開平10-41393号「スタンダードセル構造」 ([0 0 1 6]~[0 0 1 7]、図 1)

【0 0 1 9】

【特許文献 3】

特開平10-144794号「スタンダードセル方式の半導体集積回路」 ([0 0 2 2]~[0 0 2 5]、図 1)

【0 0 2 0】

【特許文献 4】

特開平11-330434号「半導体装置」 ([0 0 1 2]~[0 0 1 5]、図 1)

【0 0 2 1】

【特許文献 5】

特開2000-506429号「半導体装置の電源/アース金属配線」 (図 1)

【0 0 2 2】

【発明が解決しようとする課題】

さて、半導体製造プロセスの微細化が進む事により様々な問題が生じ、設計段階での配慮が必要となってきた。以下に半導体集積回路の製造プロセスの微細化によって起こる様々な問題点を挙げる。

【0 0 2 3】

1. 配線コスト

半導体製造プロセスの微細化によりメタル層の多層化が進んでいる。図 6 にチ

ップの平面図(上図)およびそのA-A'方向での断面図(下図)を示す。従来の設計手法では、電源設計を行ってから信号配線を行なっている。電源配線においてメタル8(層8のメタル)とメタル1(層1のメタル)を垂直方向のビア(VIA)を通じて相互接続すると、その中間層である層2～層7のメタルを信号配線に使えなくなるため、配線コストの不利、余剰な配線を生じる事になる。

#### 【0024】

### 2. 電源ノイズ/電圧降下

半導体製造プロセスの微細化によりトランジスタの高集積化が進んでおり、高集積化の結果に、トランジスタの同時スイッチング時の充放電電流によって電源ノイズが生じる事が問題となっている。また、微細化プロセスでは、トランジスタに供給する電圧が低くなる電圧降下(IR-DROP)が顕在化してきている。この電圧降下は、電源配線の抵抗値に大きく依存するが、電源幅はチップサイズにも大きな影響があるため、電源構造の最適化は、半導体レイアウト設計において重要な要素の一つになっている。ただし、現状では、複雑な電源構造のため解析が難しく最適な電源幅を設定する事は困難である。

#### 【0025】

### 3. 平坦化・占有率

半導体製造プロセスでは、CMP(Chemical and Mechanical Polishing)による平坦化处理がなされる。特にCu・低誘電率層間膜プロセスでは、図7に示すように、dishing等の問題が顕著になってきている。本課題においては、メタルの疎密に起因する要素が多いのでダミーメタル等の生成を行い、マスクパターンをなるべく一様にするとといった措置の必要性が出てきている。

#### 【0026】

### 4. 電源構造の複雑化

多層メタル化がますます進んでおり、この多層メタルの利点を生かすような電源構造を構成する事により電源ラインはノイズ、IR-DROP等に強いものとなるが、そのための構成は極めて複雑になり、従来手法では実現不可能であったり、工数が大幅に増加した。

#### 【0027】

## 5. 微細化プロセス

この微細化プロセスにおいては、製造過程の処理が複雑化、大規模化し、製造に多大な時間を要する。

### 【0028】

本発明は、上述した課題を解決するためになされたものであり、簡単な手法で効率よくかつ容易に高集積化、多層メタル化を可能にする半導体レイアウト設計手法および、その手法により生成された半導体集積回路を提供することを目的とする。

### 【0029】

#### 【課題を解決するための手段】

上記課題を解決するために本発明によるレイアウト設計手法では、セルの構造情報を格納するレイアウトライブラリに、機能セル以外に、セル間を埋める役割をするフィラーセルを少なくとも2種以上含む。そしてそのフィラーセルの少なくとも1種は、上層メタルと、前記上層メタルと接続関係を持たない、Power RailおよびGround Railからなる下層メタルを備え、そして別のフィラーセルの少なくとも一種は、上層メタルと、Power RailおよびGround Railからなる下層メタルを備え、その上層メタルと下層メタルが同電位に短絡接続された構造を備える。

レイアウト設計時においては、上記レイアウトライブラリに格納された機能セルの情報に基づき、所望の機能セルを配置すると共に、上記レイアウトライブラリに格納されたフィラーセル情報に基づき、複数種あるフィラーセルを、信号配線から一定の距離を隔てた領域内と領域外に選択的に配置することにより、半導体集積回路が形成される。

### 【0030】

#### 【発明の実施の形態】

以下、本発明の具体的な説明を行うが、説明の便宜上、8層構造とする。ただし、本発明はこれに限定するものではない。本発明によるフィラーセルの代表的な例を図8、図9および図10に示す。図8が基本タイプのフィラーセル1で、図9および図10が置換タイプのフィラーセル2、3である。実際の使用方法に

関しては後述する事とし、それらの構造の説明を行う。

### 【0031】

まず、図8の基本タイプのフィラーセル11は、メタル1(層1のメタル)および、これ以下の(基板中の)層の形状に関しては、図3で示したフィラーセルと全く同じ構造で層1のメタルは、Power RailおよびGround Railからなるが、断面図(下図)に示されるように、Power RailおよびGround Railの上に、メタル7(層7のメタル)とメタル8(層8のメタル)が形成されている。但し、これら上層のメタルは層1のメタルと接続されていない。層2～層6にはメタルは存在しない。

### 【0032】

一方、図9の置換タイプ1のフィラーセル12は、図8の基本タイプと同じようにメタル1、メタル7およびメタル8を備えるが、メタル8はVIAを通じてメタル1のGround Railに接続される。また、図10のフィラーセルの置換タイプのフィラーセル13は、メタル1のPower Railはメタル7に接続され、メタル8は、基本タイプ同様どこにも接続されない独立したメタルとなる。図8～図10の各フィラーセル自体は直形状であるが、層7および層8上のメタル7およびメタル8は、太字文字“I”に似たパターンとなっている。図9のフィラーセル12がGround用の置換セルで、図10のフィラーセル13がPower用の置換セルとなる。

### 【0033】

図11に、基本タイプのフィラーセル11を配置したときの層7および層8上のメタル面の平面図を示す。図のようにメタル7面およびメタル8面は、それぞれ図8のメタル7およびメタル8で全面覆われている。また、本実施形態では、“I”字形状のメタルを配置したので各メタル面に方形状のメタル欠落部14が生じるが、これは、平坦化のため半導体製造プロセスにより指定されたルールを満たすようように調整するものである。半導体プロセスにおいて制約がなければ、フィラーセル上の上層メタル形状をかえる事で容易に実現できる。また、基本タイプのフィラーセルのみでなく、機能スタンダードセル内にも同様にメタル7とメタル8を備えれば、同じ形状を持つ事が出来る。

**【0034】**

図12に本発明によるレイアウトの実施形態を示す。この図12では、I0セル15の内側で、スタンダードセル領域16およびマクロセル17の外側に位置するチャンネル領域18に、図8で示した基本タイプのフィラーセル11を配置している。これにより、チャンネル領域18は、図11で示したようなメタル7平面層およびメタル8平面による上層配線が一様に配線される事となる。ただし、この時点では、メタル7平面、メタル8平面は、層1の配線(Poerw Rail/Ground Rail)とまだ接続関係がない。前記基本タイプのフィラーセル11が、図9および図10の置換タイプのフィラーセル12、13と置き換えられる事で、上層のメタルと下層のメタルとの接続が形成される。

**【0035】**

図13に本発明に基づくレイアウト設計フロー例を示す。S1～S3は、先述した従来の配置配線レイアウトフロー(図1)のS21～S23と同様である。S4では、S4にて配置のセル領域以外の領域(チャンネル領域)に、基本タイプのフィラーセルを配置する。この時、フィラーセルを配置するか否かの領域は、設計者が決定し、必ずしも、すべての空き領域にフィラーセルを配置するものでない。

**【0036】**

S4のステップでフィラーセルが配置されると、上層メタルが図11に示すような構造となるのは、先に示した通りである。S5ではこのフィラーセルと、I0・マクロセルとの接続のために、I0セルの電源ピンとマクロセルの電源ピンを、基本タイプのフィラーセルの電源もしくは電源配線に接続する。一方、フィラーセルはスタンダードセルと同等の高さであるため、スタンダードセル領域の周囲に配置したフィラーセルは、その配置によって自動的にフィラーセルとスタンダードセルとの間で電源配線がなされるようになる。S6では、従来フローと同じく、信号配線を施す。

**【0037】**

S7では、S6にて完了した信号配線から任意の距離(この値はユーザーが指定できる)離れたところのフィラーセル置換可能領域を検出する。図14の上図

は、チャンネル領域 18 内にて、VIA 19 を用いて、異なる層に形成した信号配線 20 を相互接続していることを示している。図 14 の下図に示すように、信号配線 20 から一定の距離以上隔たった領域がフィラーセル置換可能領域 21 となり、そうでない領域がフィラーセル置換禁止領域 22 となる。具体的に説明すると、図中信号配線を任意の値 Xum オーバーサイズし、全フィラーセル領域からそれにタッチするフィラーセルの領域を除く。

#### 【0038】

S 8 では、S 7 で検出したフィラーセル置換可能領域に対し、図 9、図 10 で示したような本発明の置換タイプのフィラーセルを前記領域のフィラーセルと置き換える。この時の置き換え割合に関しても設計者側で指定する。対象品種により、Power 重視であれば、図 10 のメタル 1 (Power Rail) がメタル 7 に接続された図 10 の置換タイプ 2 のフィラーセルを、また、Ground 重視であれば、メタル 1 (Ground Rail) がメタル 8 に接続された図 9 の置換タイプ 1 のフィラーセルの割合を増やすと良い。配置場所に関しては、Power、Ground を均等に強化したい場合、好ましくは、同一タイプのフィラーセルを過度に集中配置せず、適度にまとめて配置するのがよい。

#### 【0039】

S 8 でのフィラーセル置き換えが完了すれば、このフィラーセル置換による影響を確認するため、S 9 で、タイミング解析(各デバイスが設計通りのタイミングで動作しているかのテスト)を行う。この時、エラーがあれば、エラー結果から、S 7 のフィラーセル置換領域検出の禁止領域条件を変更し、もう一度フィラーセル置き換えを行い、再タイミング解析にてチェックする。

#### 【0040】

タイミング解析が O K となれば、S 10 で電力解析(各ポイントで IR-DROP が規定以内にあるかのテスト)を行う。このステップでエラーが出る場合は、まず、エラー箇所のフィラーセルを置き換える。この時、フィラーセルは、フィラーセル置換禁止領域に入るが、信号線とシュートしたり DRC 違反する場合、信号線の方を再度修正する。修正が終われば、S 9 のタイミング解析に戻る。タイミング解析および電力解析が O K となれば、従来設計でも説明した DRC エラーの除去・

データ変換等の後処理を行いレイアウト生成を完了する。

#### 【0041】

図15は、図8、図9および図10のフィラーセルに対して搭載されるゲート容量23の構成図(左図)とその回路図(右図)である。POLYゲート下の酸化膜が絶縁体であることから、ゲート・拡散間で容量23を形成している。本ゲート容量は、本発明のいかなるパターンのフィラーセルに対して搭載可能である。レイアウトライブラリには、各々のフィラーセルのゲート容量を搭載・未搭載の両種を備えるのが望ましい。ゲート容量の形状が同じであれば、搭載・未搭載のレイアウト形状にて異なるのはメタル層1より後の工程となり、半導体製造の工数削減にもつながる。例えば、ゲート容量を未搭載のフィラーセルを配置したレイアウトで半導体製造工程をスタートする。その後、前記ゲート容量を未搭載のフィラーセルを、ゲート容量を搭載したフィラーセルに置換する事で、半導体製造構造を進めながらレイアウト設計を行うことができる。

#### 【0042】

表1に、本発明によるフィラーセル種のパターン例を示す。

【表1】

	Power用フィラーセル					
	パターン1	パターン2	パターン3	パターン4	パターン5	パターン6
メタル8	Ground	Ground	Ground	Ground	Ground	Ground
メタル7	Power	Power	Power	Power	Power	Power
メタル6	Non	Non	Non	Non	Non	Non
メタル5	Non	Non	Non	Non	Non	Non
メタル4	Non	Non	Non	Power	Ground	Power
メタル3	Non	Non	Power	Ground	Ground	Non
メタル2	Non	Power	Ground	Power	Power	Non
メタル1	Power/Ground	Power/Ground	Power/Ground	Power/Ground	Power/Ground	Power/Ground

#### 【0043】

図16に表1のパターン1およびパターン2の例を示す。図8、図9、図10に示したフィラーセルがパターン1であり、パターン2は、Power配線として二つのメタルを備える。パターン2のフィラーセルは、上層メタル同様のメタル2層も、配置した際に、隣のセルと接続されるような形状を備える。パターン3～パターン6の断面図も同じような形状をとるので本説明からは割愛する。このようなフィラーセルは、配線層に対し、自由に選択配置する事が出来る。また、配



線の形状に関しては決まりはなく、隣接するセルに配置状態で接続される事が望ましいが、わざと配線スペースを与え、信号配線トラック(信号配線の通る経路)を備えてもよい。

#### 【0044】

パターンの形態によっては、信号線を上下または左右で挟む構成で電源配線できるため、信号配線を安定電位の配線でシールドする事ができ、配線のクロストークを軽減する事が出来る。例えば、パターン6のフィラーセルを用いれば、メタル4がその役割を果たす。また、電源配線をPower・Groundで交互の層で構成したパターンとする事により、これによるメタル間容量が電源ノイズ低減に寄与する。信号配線として使用されないメタル層を主に電源配線に使用するようにすれば、配線層に合わせて、効率の良い電源構造を実現する事が出来る。

#### 【0045】

前記説明の様々な形態を持つフィラーセルを用いた実施例を図17に示す。例えば、マクロセル・スタンダードセル間、またはマクロセル・マクロセル間の信号配線にメタル3層からメタル4層を用いる場合は、その領域に例えばパターン2を用いる。一方、I/Oセル・マクロセル間または、I/Oセル・スタンダードセル間の配線にメタル5層からメタル6層を用いる場合は、その領域で例えばパターン4のフィラーセルを用いる。

#### 【0046】

また、別の実施例を図18、図19に示す。図18はスタンダードセル直上に、図19はマクロセル直上に、本発明のフィラーセルを配置した図である。スタンダードセルは、下層メタルが本発明のフィラーセルと同等の形状を持つので、重複配置すると上層メタルと下層メタルは接続される事となる。またマクロセルも、重複配置を考慮し、電源構造を構築しておく事で本発明フィラーセルを重複配置する事が可能になる。

#### 【0047】

##### 【発明の効果】

請求項1の発明によれば、以下のような効果が得られる。

配線コストの低減：本発明によるフィラーセルを用いたレイアウト設計では、

電源配線フローを、信号配線を施す前に完全には行わず、上層メタル電源配線と下層メタル電源配線の接続を信号配線後に行うので、信号線のコストにあまり影響を与えず、効率の良い電源配線を行う事が可能である。

#### 【 0 0 4 8 】

電源ノイズ/電圧降下の軽減：上層メタルを効率良く用いたり、バイパスコンデンサを配置する事により、電源ノイズ/電圧降下の悪影響を防止する事が可能である。電源配線を例えば、Power・Groundで交互の層で配置する事により、このメタル間容量も電源ノイズ低減の役割も果たす。

#### 【 0 0 4 9 】

平坦化・占有率を改善：フィラーセルの層に一樣なメタルを形成したため、近年のVDSM(Very Deep Sub Micron)等で課題となる平坦化・占有率の問題を解消する事が出来る。また、フィラーセルの配置状態で、デザインルールを満たす形状を実現できる。

#### 【 0 0 5 0 】

複雑な電源構造に対応：フィラーセルを用いて電源配線を行うので、複雑な電源配線を容易に実現する事が可能。工程数も従来のフローに組み込めるので多大な増大なく、効率の良い電源配線工程を実現できる。

#### 【 0 0 5 1 】

その他：フィラーセルは信号線を上下で挟む構成で電源配線されるため、信号配線を安定電位の配線でシールドする事ができ、配線のクロストークを軽減する事が出来る。

#### 【 0 0 5 2 】

請求項 2 の発明によれば、少なくとも 1 種のフィラーセルを、スタンダードセル領域やマクロセルの周囲にあるチャンネル領域に配置することにより、多層メタル構造の電源配線を効率よく構築する事が可能となる。

#### 【 0 0 5 3 】

請求項 3 の発明によれば、フィラーセル自身に、バイパスコンデンサを選択的に形成し、また、上層のメタルを効率良く用いることにより、電源ノイズ/電圧降下の悪影響を防止する事が可能となる。

**【0054】**

請求項4の発明によれば、少なくとも2種のフィラーセルで、任意の階層(工程)までのレイヤを互いに同一形状としたので、配置するフィラー種が未定であっても、任意の階層より下のマスク形状が確定しているため、半導体製造に着手可能である。例えば、製造工程では、メタルより下階層の製造を完了するまで時間がかかるので、その時間を利用して、置換タイプフィラーセルとおきかえる作業を行う事で、半導体集積回路製造の工期を短縮する事が可能である。

**【0055】**

請求項5の発明によれば、配置対象となる領域において、その領域で信号配線として使用されないメタル層を主に電源配線に使用するようにしたフィラーセルを選択的に配置することにより、配線層に合わせて、効率の良い電源構造を実現する事が出来る。

**【0056】**

請求項6の発明によれば、本発明によるフィラーセルをスタンダードセルあるいはマクロセル直上に重複配置する事により、局所的に電源補強する事が出来る。また、セル上に重複配置する事ができるので、フィラーセル配置に関して自由度が高い。

**【図面の簡単な説明】**

【図1】 従来のレイアウト設計の手順を示したフローチャート

【図2】 スタンダードセルの構成パターンおよびその回路図

【図3】 従来のフィラーセルの構成パターン

【図4】 チップレイアウトを示した図

【図5】 チップに電源配線等を施した図

【図6】 図5の部分拡大図とその断面図

【図7】 Cu・低誘電率層間膜プロセスを行った時の層断面を示した図

【図8】 本発明による基本タイプのフィラーセルの斜視図およびその断面

図

【図9】 本発明による置換タイプ1のフィラーセルの斜視図およびその断面図

【図 10】 本発明による置換タイプ 2 のフィラーセルの斜視図およびその断面図

【図 11】 図 9 のフィラーセルを配置した時の層 7 および層 8 上のメタル面を示した図

【図 12】 本発明によるフィラーセルを配置したチップの平面図

【図 13】 本発明に基づくレイアウト設計の手順を示したフローチャート

【図 14】 信号配線を有するチャンネル領域を示した図およびそのチャンネル領域に対するフィラーセルの配置個所を示した図

【図 15】 本発明によるフィラーセルに対して選択的に搭載されるゲート容量の構成図(左図)とその回路図(右図)

【図 16】 本発明によるフィラーセルに対するパターン例を示した図

【図 17】 種々のパターンによるフィラーセルの配置例を示した図

【図 18】 スタンダードセルの直上にフィラーセルを配置した図

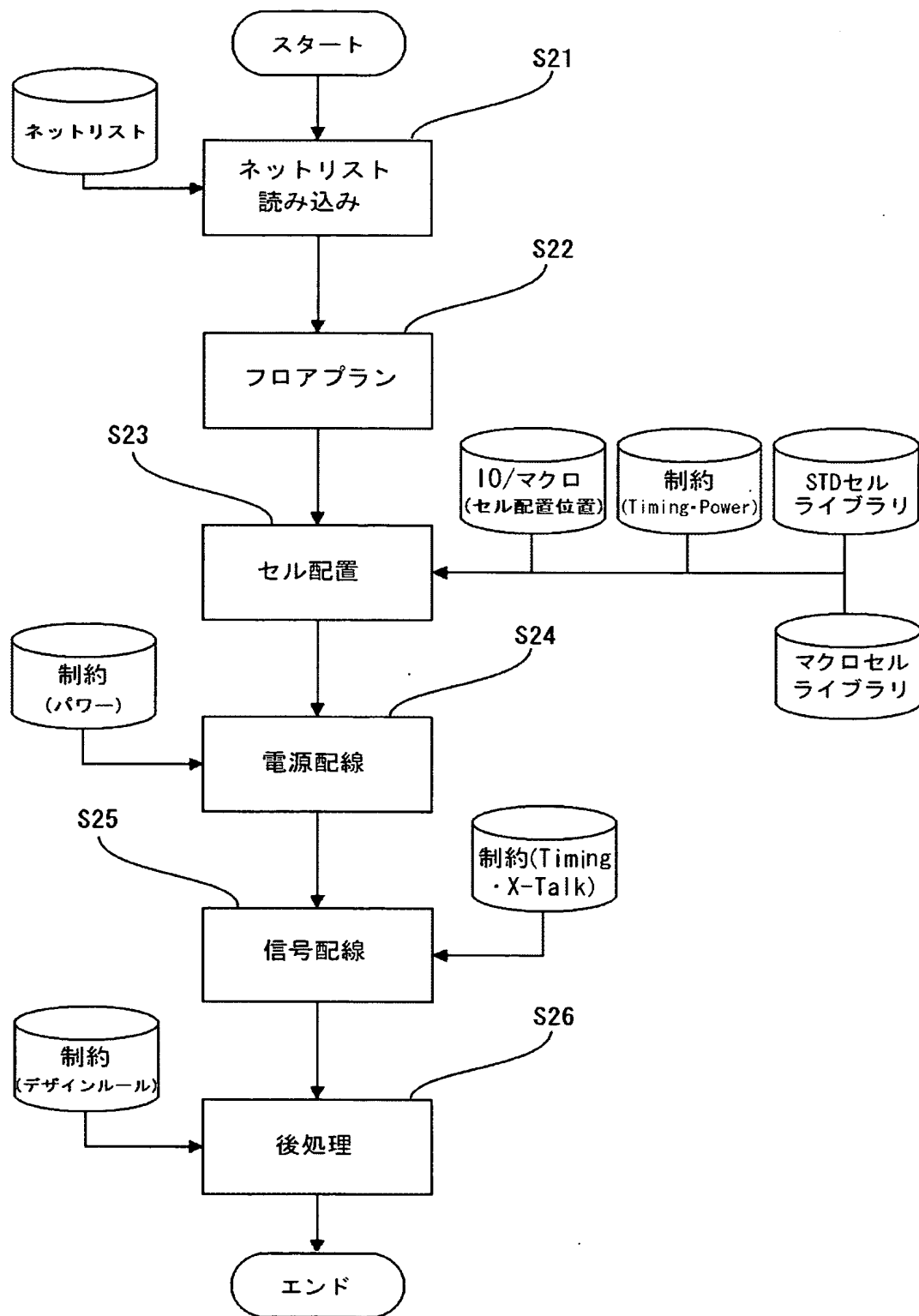
【図 19】 マクロセルの直上にフィラーセルを配置した図

【符号の説明】

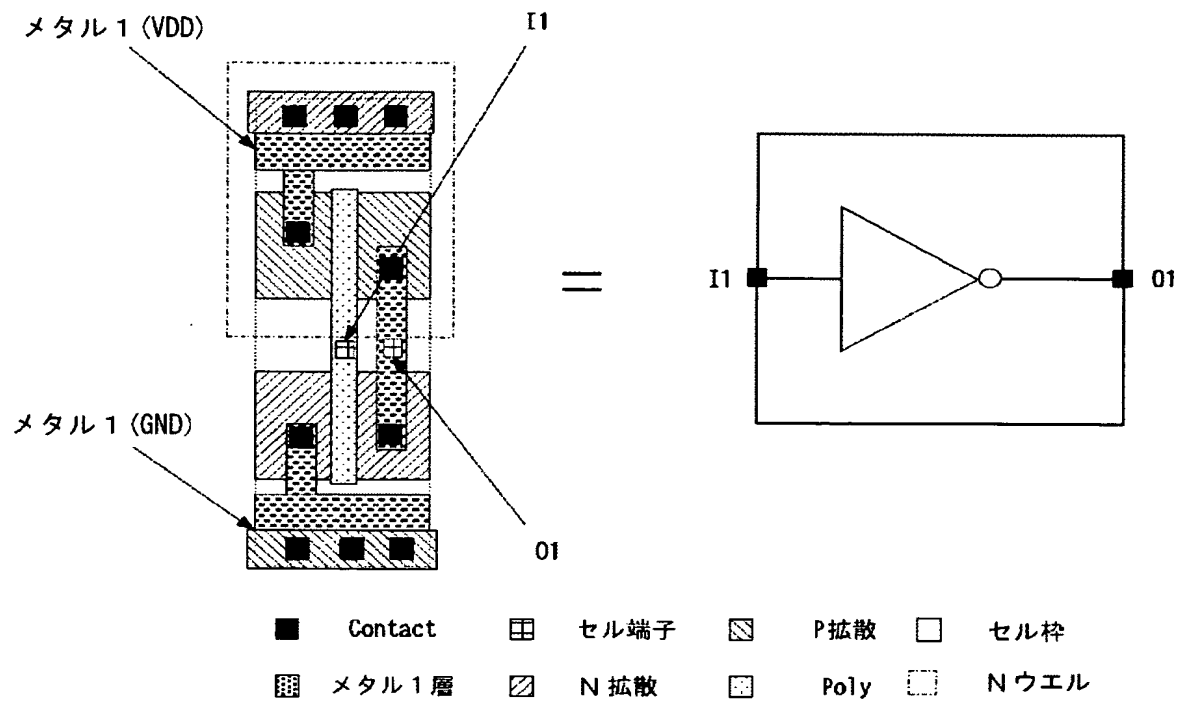
- 11 基本タイプのフィラーセル
- 12 置換タイプ 1 のフィラーセル
- 13 置換タイプ 2 のフィラーセル
- 14 メタル欠落部
- 15 I/Oセル
- 16 スタンダードセル領域
- 17 マクロセル
- 18 チャンネル領域
- VIA ビア
- 20 信号配線
- 21 フィラーセル置換領域
- 22 フィラーセル置換禁止領域
- 23 ゲート容量

【書類名】 図面

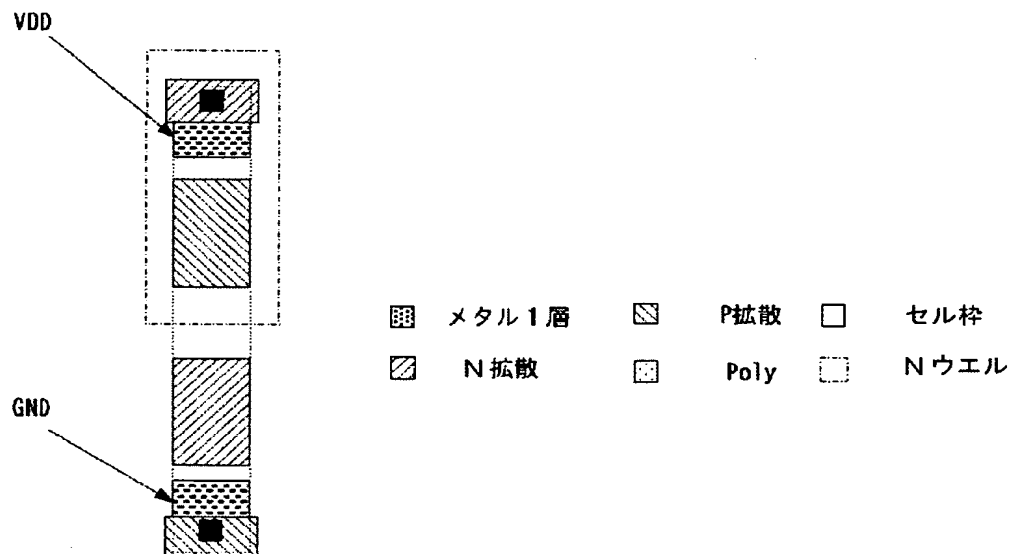
【図 1】



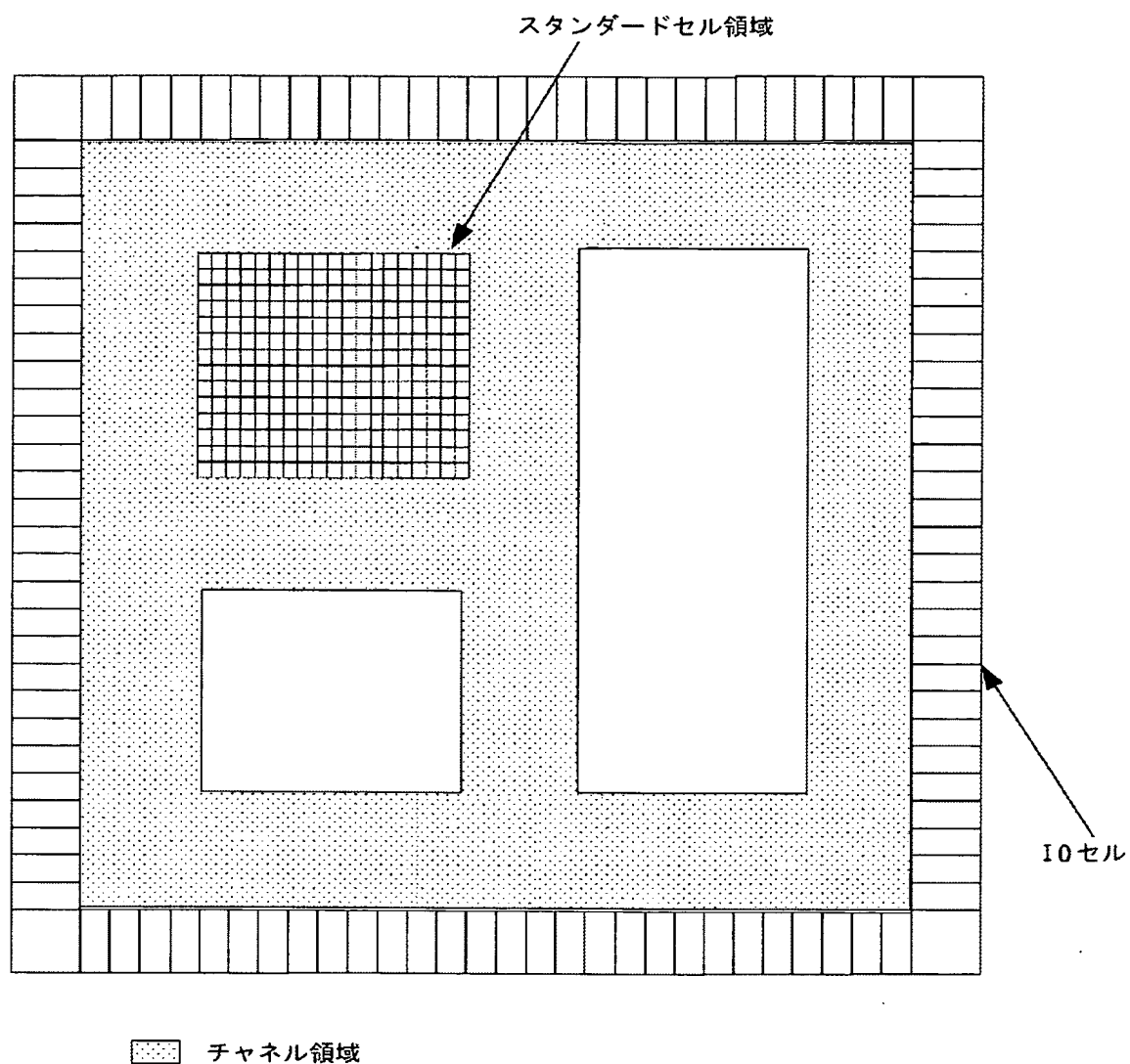
【図 2】



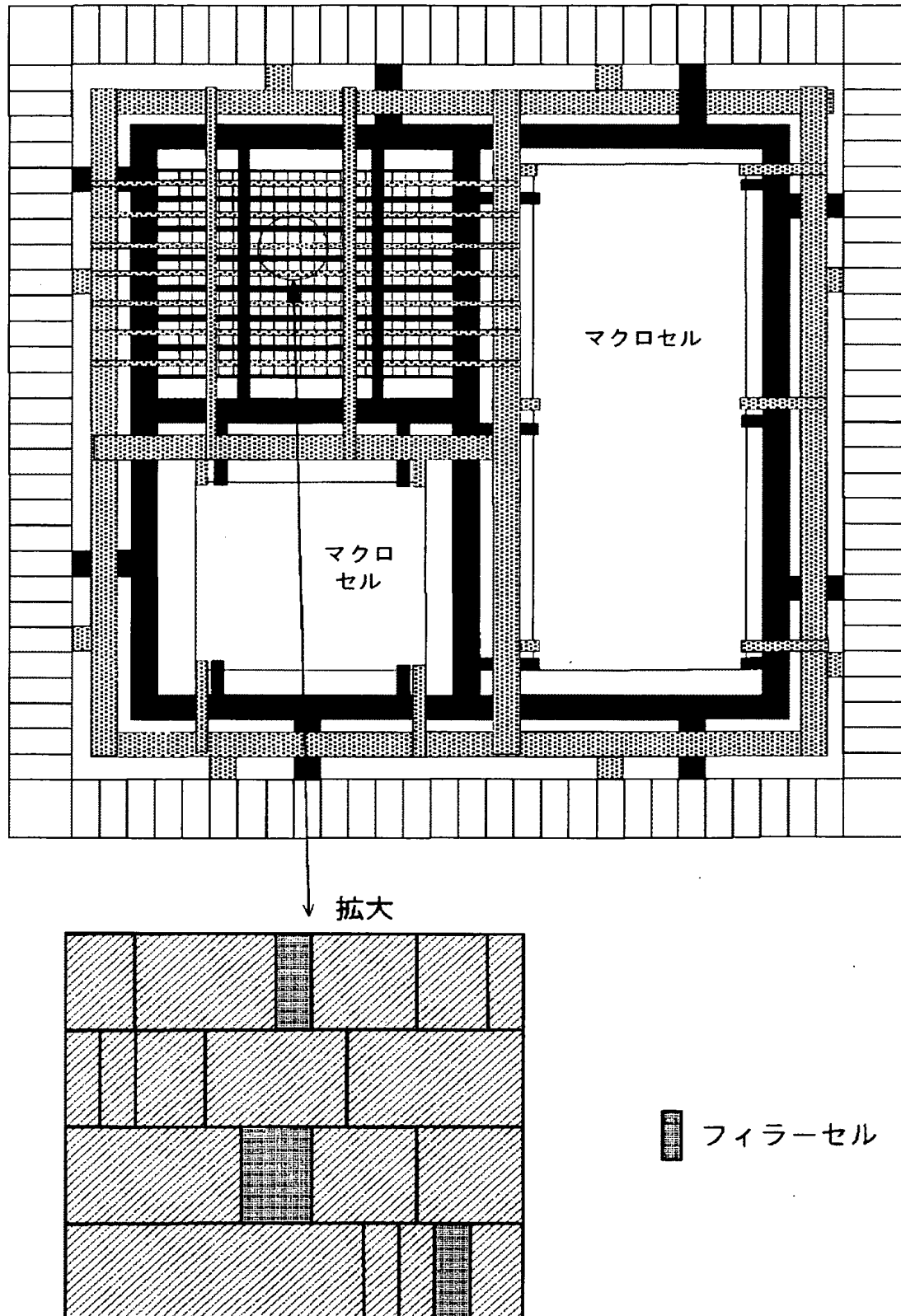
【図 3】



【図 4】

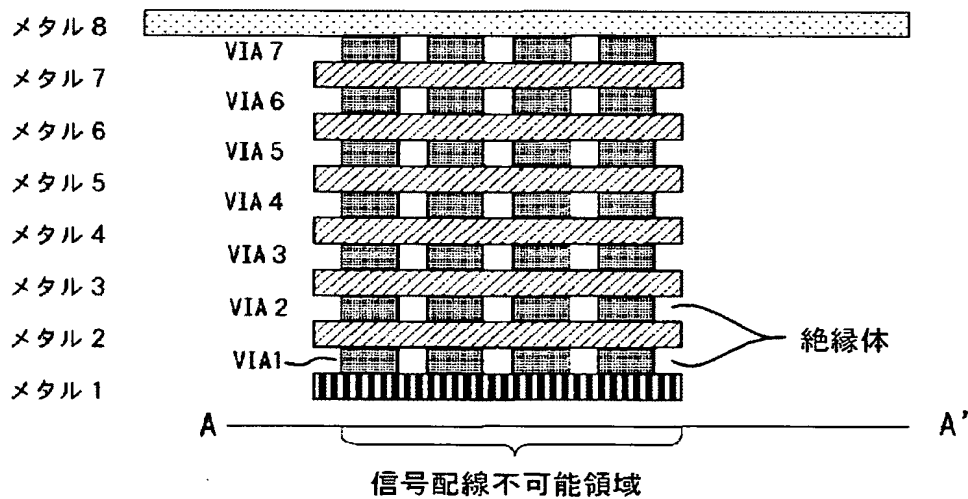
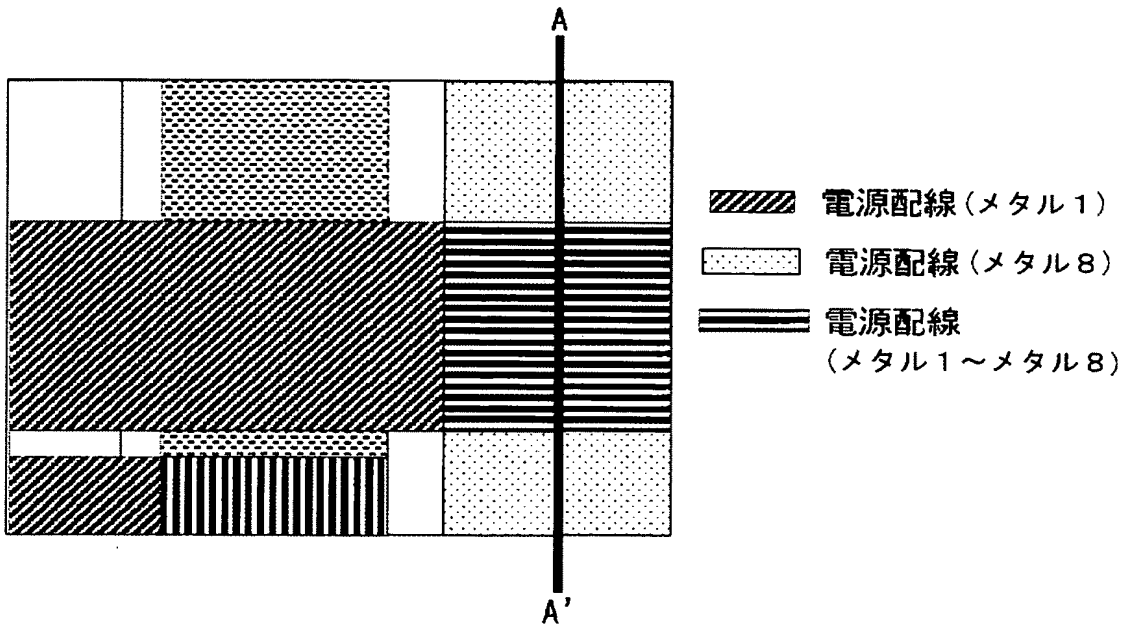


【図 5】

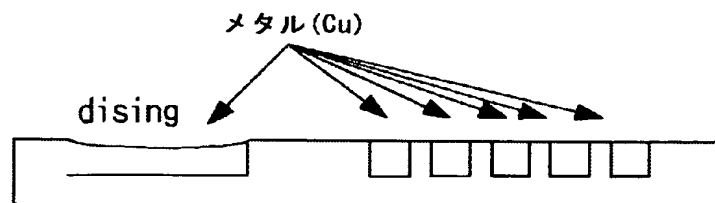




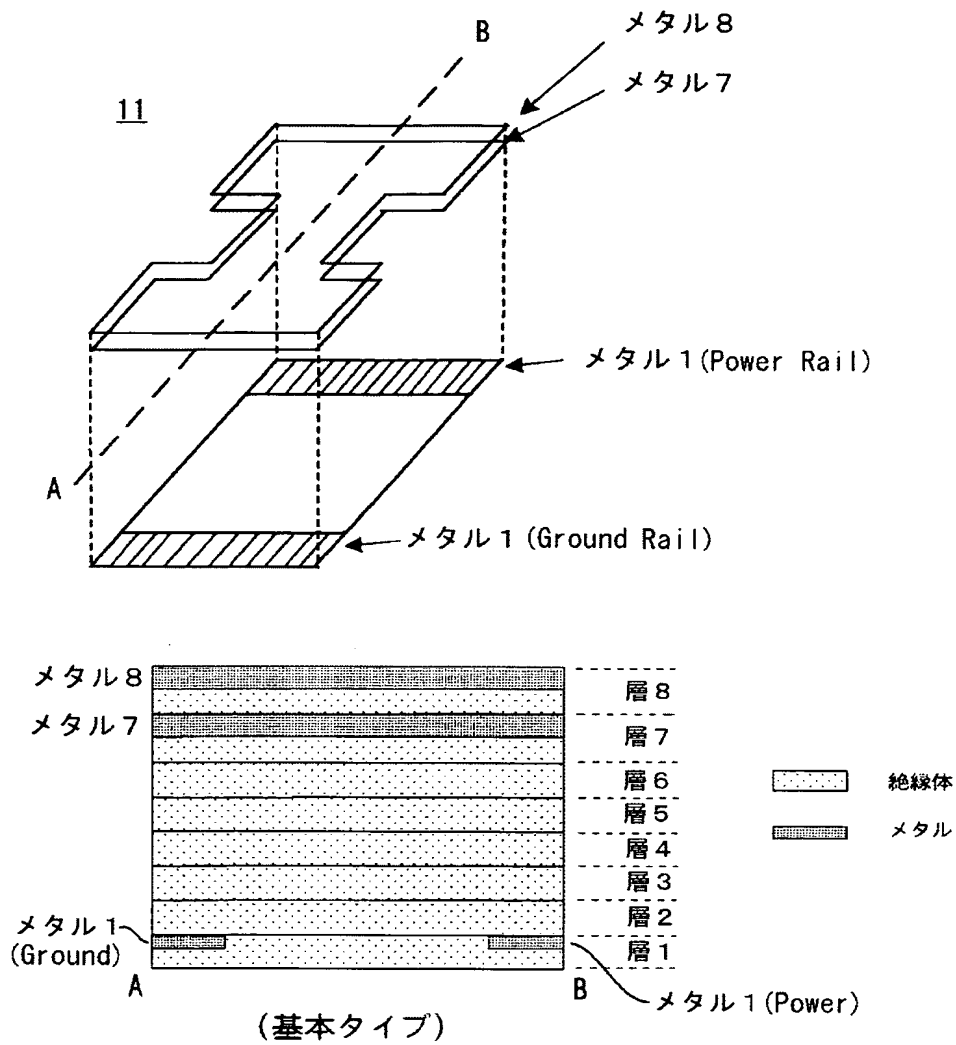
【図 6】



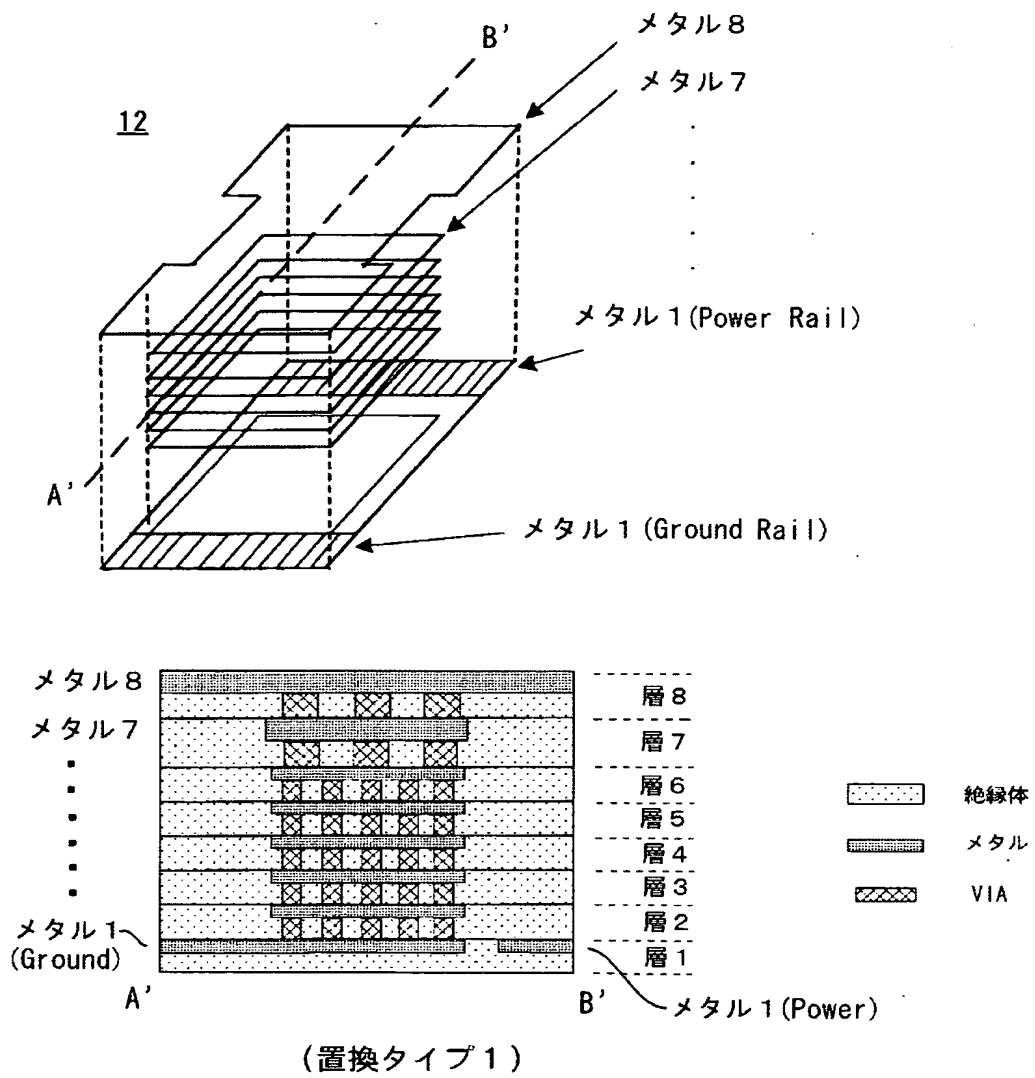
【図 7】



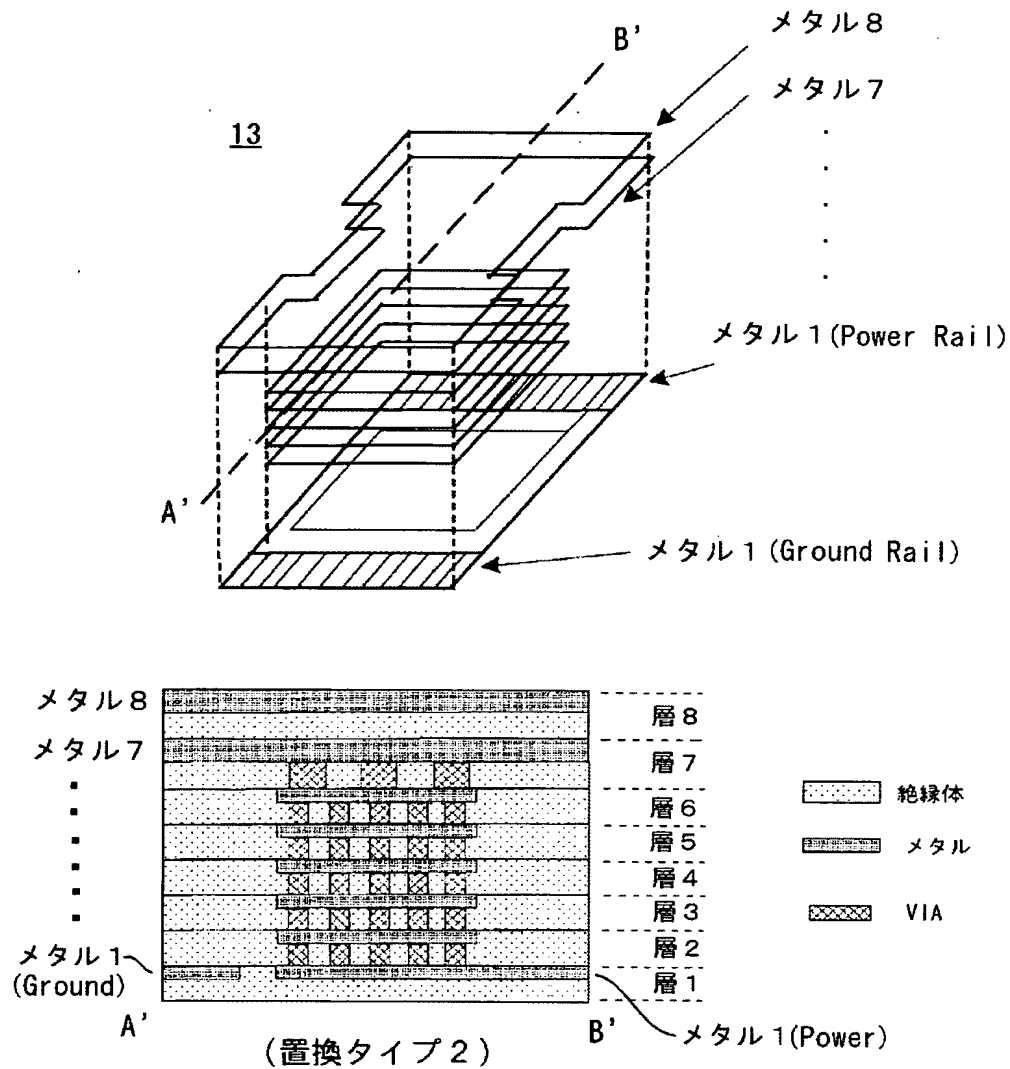
【図 8】



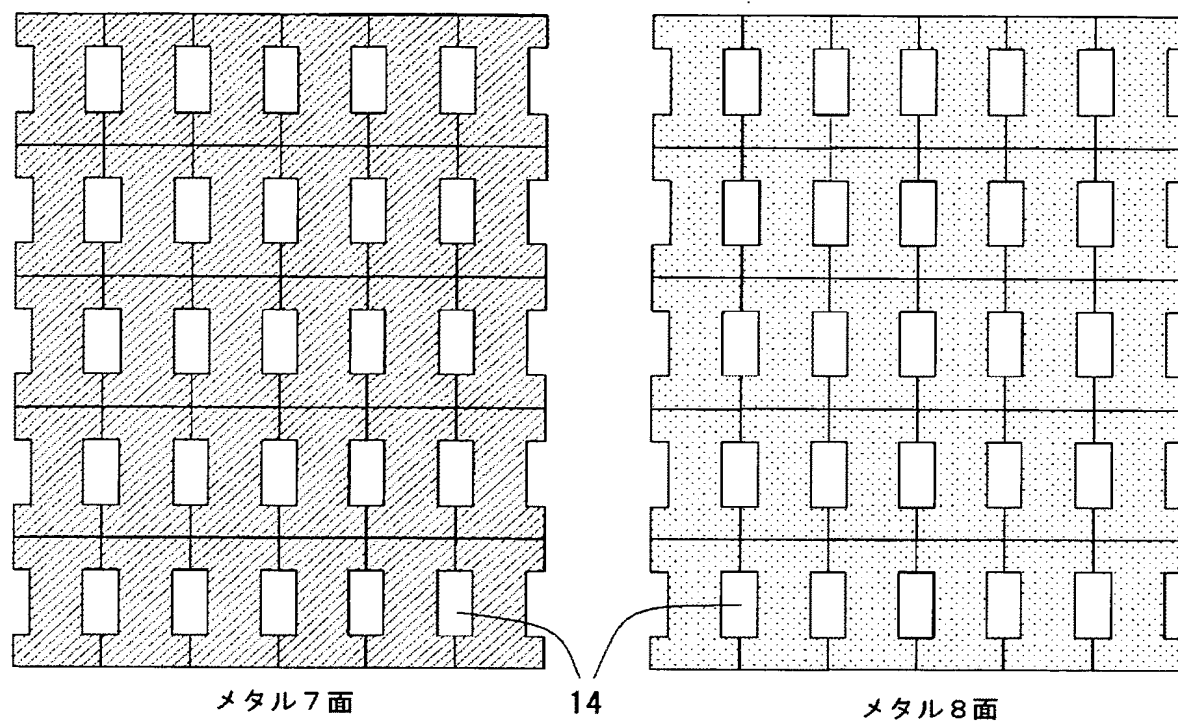
【図 9】



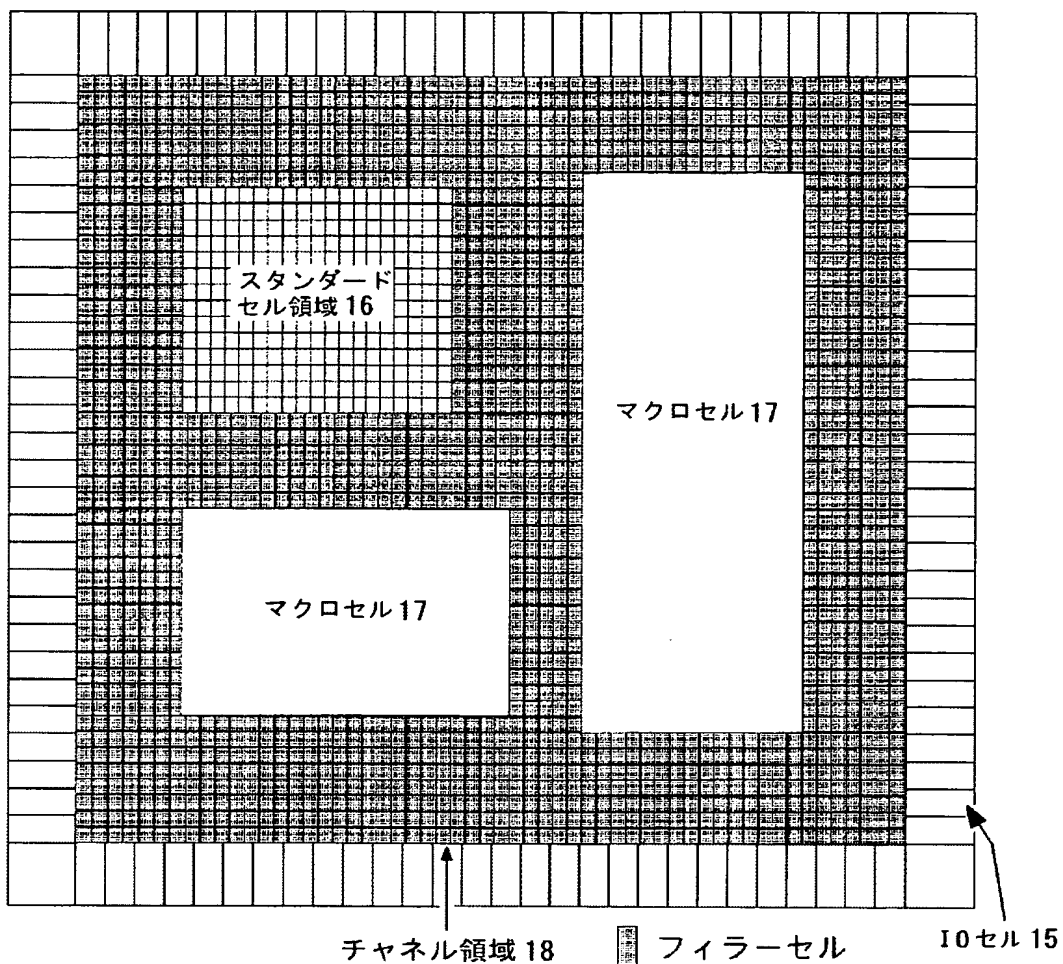
【図 10】



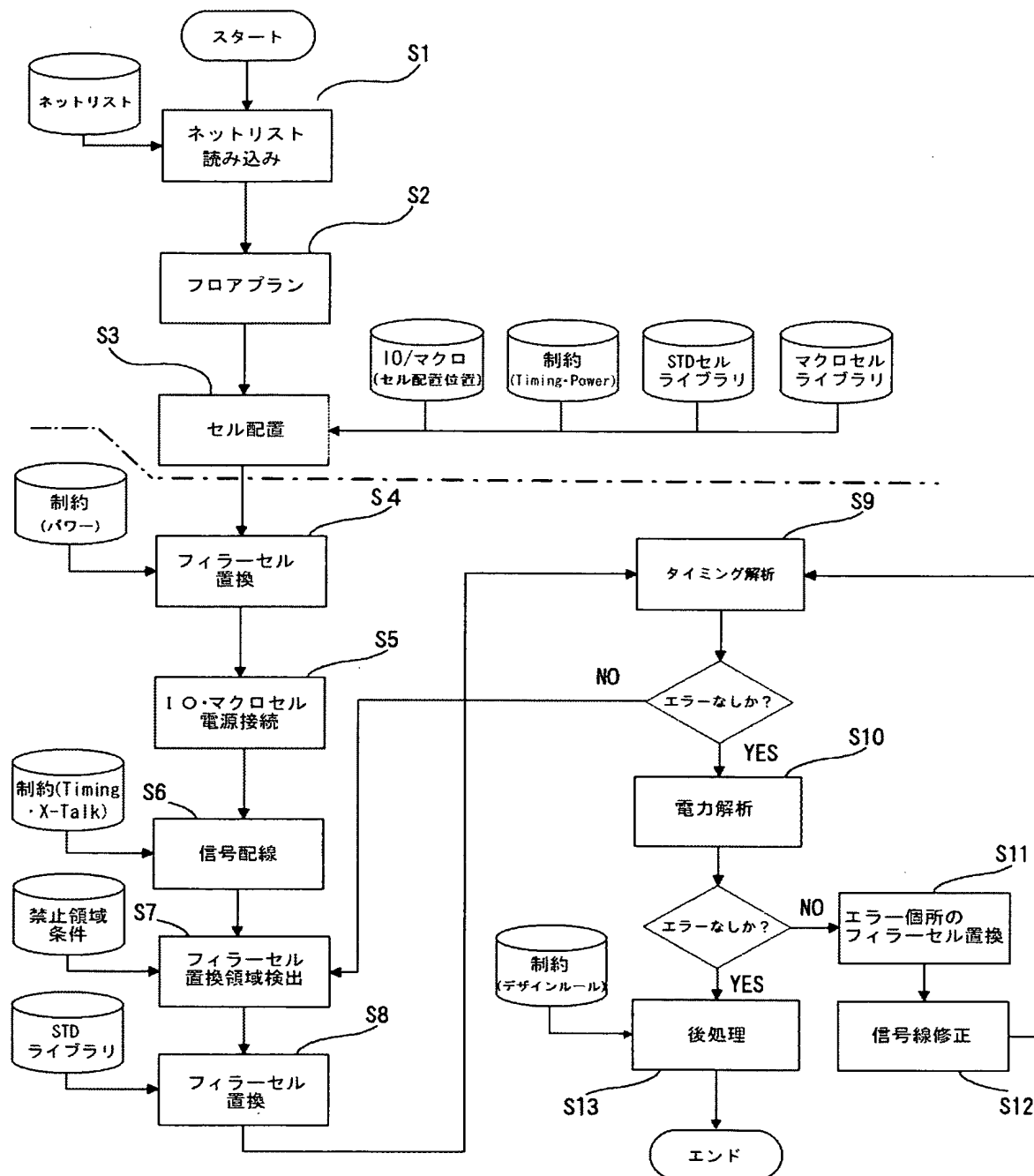
【図 11】



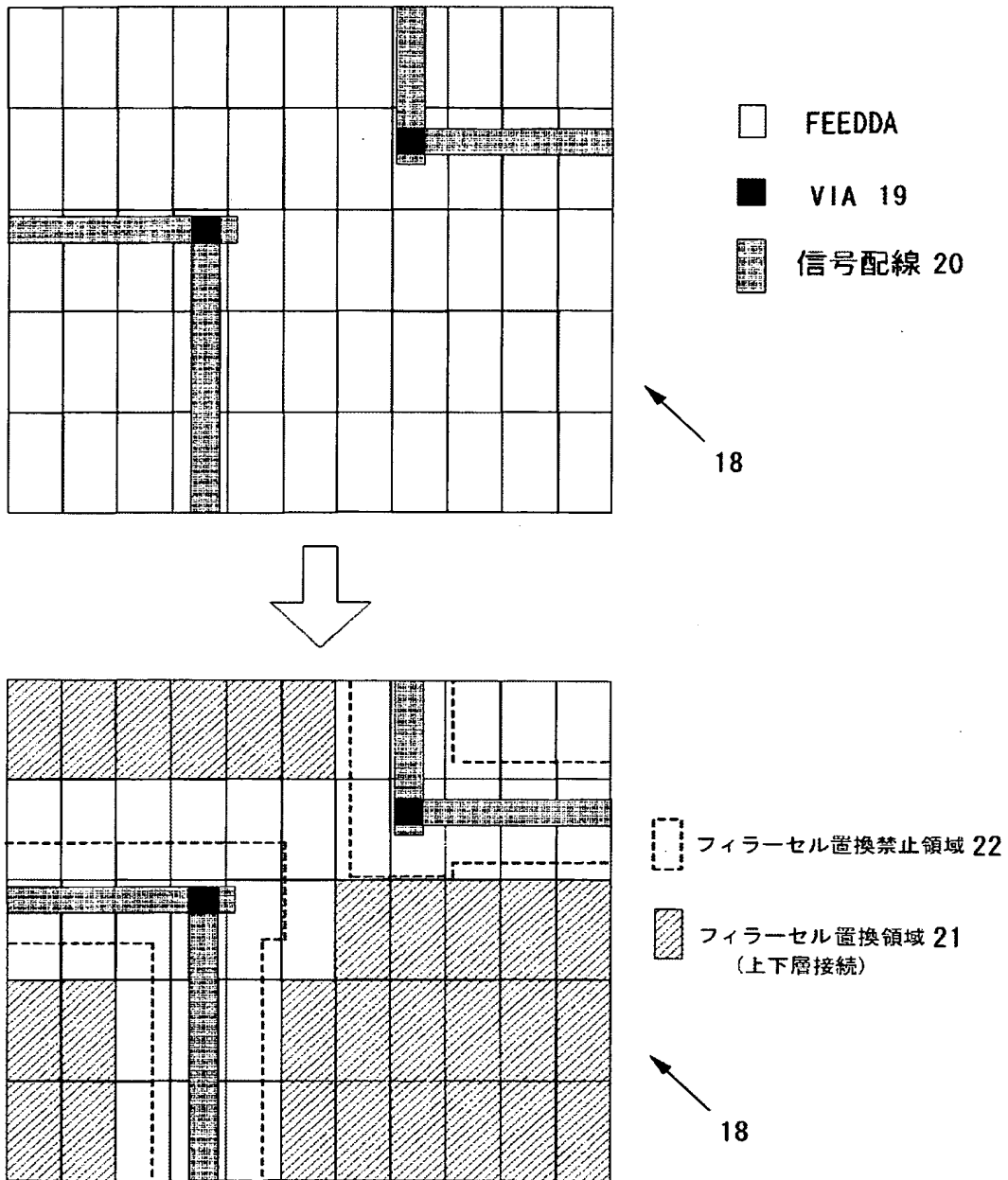
【図 12】



【図 13】

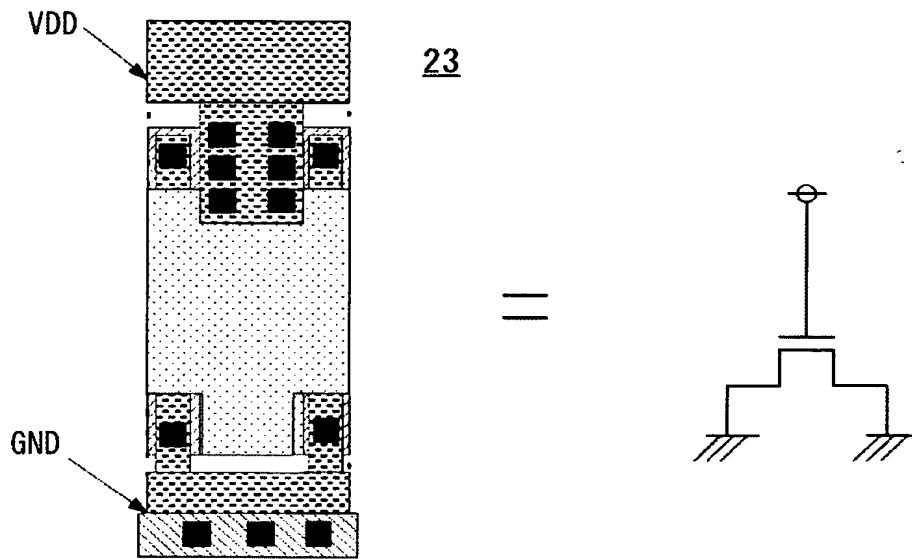


【図 14】



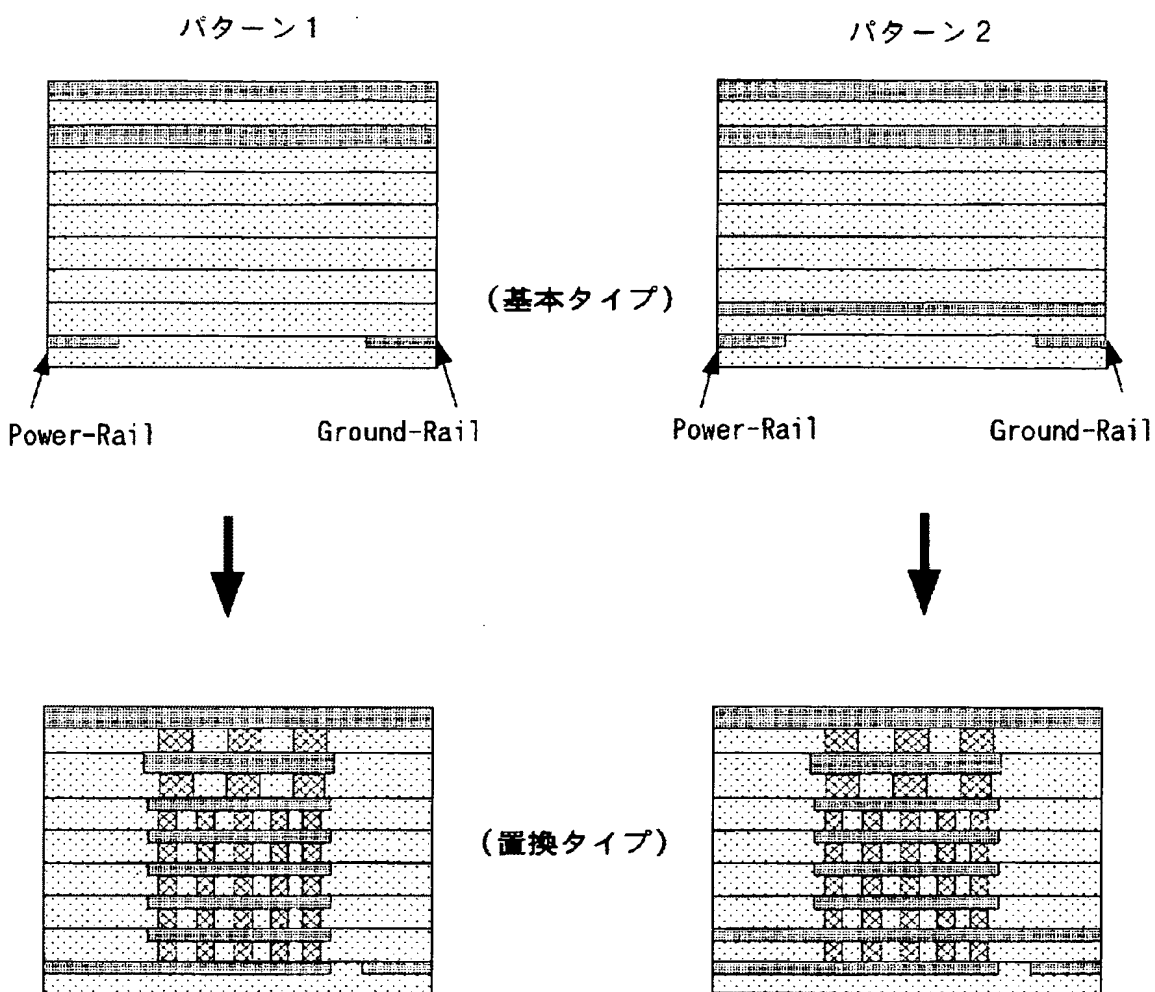


【図 15】

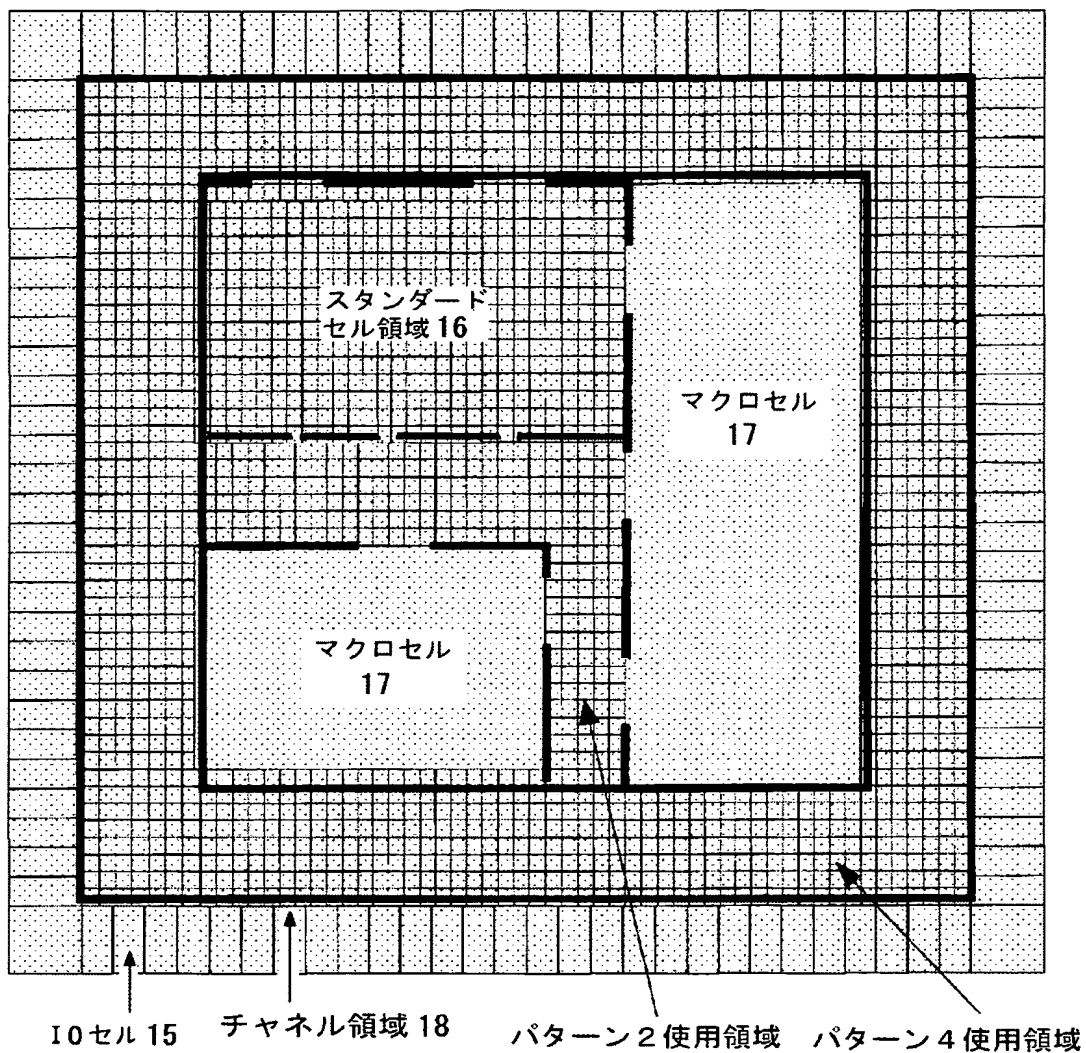


- |           |        |        |        |
|-----------|--------|--------|--------|
| ■ Contact | □ セル端子 | ▨ P拡散  | □ セル枠  |
| ▨ メタル1層   | ▨ N拡散  | ▨ Poly | □ Nウエル |

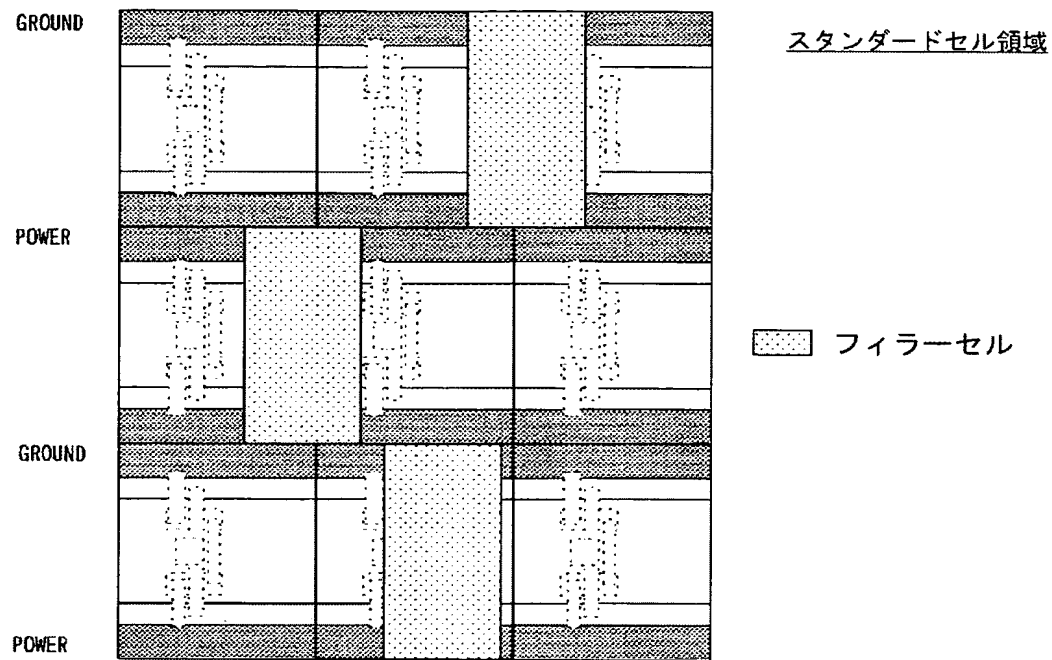
【図 16】



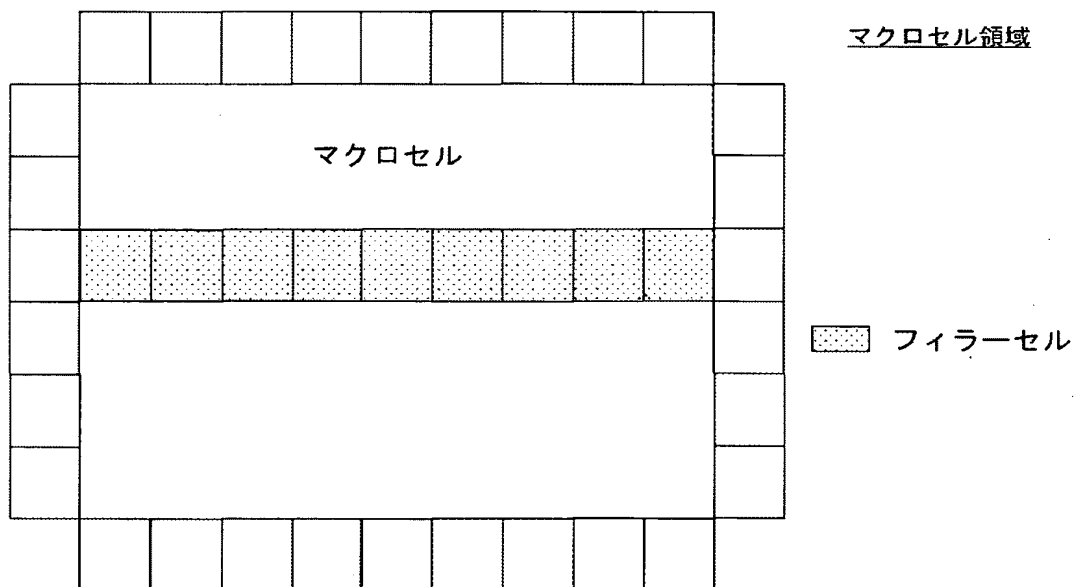
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 従来のレイアウト設計では、配線コストの増大、電源ノイズ発生、電圧降下の問題、電源構造の複雑化などの課題があった。

【解決手段】 セル情報を格納するレイアウトライブラリに、基本セル以外に、セル間を埋める役割をするフィラーセルを少なくとも2種以上含む。そのフィラーセルの少なくとも1種は、上層メタルと、Power RailおよびGround Railからなる下層メタルを備え、そして別のフィラーセルの少なくとも一種は、上層メタルと、Power RailおよびGround Railからなる下層メタルを備え、その上層メタルと下層メタルが同電位に短絡接続された構造を備える。レイアウト設計時、レイアウトライブラリの情報に基づき、所要の基本セルを配置すると共に、複数種あるフィラーセルを、信号配線から一定の距離を隔てた領域に選択的に配置する。

【選択図】 図9

特願 2 0 0 2 - 3 2 0 9 1 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 7 4 7 ]

1. 変更年月日      1 9 9 0 年    8 月 2 4 日  
  [変更理由]      新規登録  
                    住 所      東京都大田区中馬込 1 丁目 3 番 6 号  
                    氏 名      株式会社リコー
  
2. 変更年月日      2 0 0 2 年    5 月 1 7 日  
  [変更理由]      住所変更  
                    住 所      東京都大田区中馬込 1 丁目 3 番 6 号  
                    氏 名      株式会社リコー